

基于 CMOS 工艺的 RFID 双频低噪声放大器设计与仿真

裴世锋¹, 南敬昌¹, 毛陆虹²

(1 辽宁工程技术大学 电子与信息工程学院, 辽宁 葫芦岛 125105; 2 天津大学 电子信息工程学院, 天津 200072)

摘 要: 设计出一种可应用于 RFID 系统, 同时工作在 915 MHz 和 2.45 GHz 的双频段低噪声放大器. 该设计以最大程度降低噪声为目标, 采用并联 LC 网络替代传统单一高感值电感, 并引入电流复用技术, 最终实现高增益低功耗的双频段低噪声放大器的设计目标. 仿真结果如下: 在 915 MHz 和 2.45 GHz 的频率下, 噪声系数均小于 0.6 dB; $S(1,1)$ 小于 -15 dB; $S(2,2)$ 小于 -11 dB; 输入驻波比 ≤ 1.4 ; 输出驻波比 ≤ 1.8 ; 1 dB 压缩点约为 -16.5 dBm. 仿真结果表明, 在两个频段中的测试结果均优于预期指标的要求, 为实际双频段低噪声放大器的设计及优化提供参考.

关键词: RFID 系统; 双频段; 低噪声放大器; 并联 LC 网络; 电流复用技术

中图分类号: TN722

文献标识码: A

文章编号: 1000-7180(2012)06-0023-05

Design and Simulation of RFID Dual-band LNA Based on CMOS Process

PEI Shi-feng¹, NAN Jing-chang¹, MAO Lu-hong²

(1 School of Electrics and Information Engineering, Liaoning Technical University, Huludao 125105, China;

2 School of Electrics and Information Engineering, Tianjin University, Tianjin 300072, China)

Abstract: A dual-band low-noise amplifier can be used to design a RFID system while operating at 915 MHz and 2.45 GHz has been designed. The design to minimize the noise as the target, using parallel LC network instead of traditional single high inductance inductor, and then, introduction of the current reuse technology. Ultimately, achieve a high gain; low-power dual-band low-noise amplifier. The simulation results are as follows: In 915 MHz and 2.45 GHz frequencies, the noise coefficients were less than 0.6 dB; $S(1,1)$ less than -15 dB; $S(2,2)$ less than -11 dB; input VSWR ≤ 1.4 ; output VSWR ≤ 1.8 ; 1 dB compression point is about -16.5 dBm. The simulation and comparison shows that the design in two bands in the test results were better than expected target, and provide a reference for the actual dual-band low-noise amplifier reference design and optimization.

Key words: RFID; dual-band; low-noise amplifier; parallel LC network; current reuse

1 引言

射频识别 (Radio Frequency Identification, RFID) 技术是一项自动识别技术, 它利用电磁波可在空间传播的特性, 自动识别被标识的对象, 进而获取标识标签所包含的相关信息^[1].

近年来, RFID 系统在生产、零售、交通等行业的大规模使用, 以及 CMOS 工艺的不断成熟^[2-3], 使

用者开始对 RFID 产品提出更高的要求, 可多模式、多频段工作的 RFID 系统在这种需求之中应运而生, 成为 RFID 中射频前端的研究热点之一. 早期提出的双频段低噪声放大器是由射频开关控制^[4], 不能同时工作在两个频段, 而且射频开关的引入会带来较高的插损, 使得放大器的噪声性能表现不能让人满意. 之后的设计中, 以双频同时工作为主要思路, 使用可共时双频处理的匹配网络^[5], 但是噪声性

收稿日期: 2011-10-11; 修回日期: 2011-11-28

基金项目: 辽宁省博士启动资金(20091033); 国家“八六三”计划项目(2008AA04A102)

能仍稍有不足。

本文以降低放大器噪声为主要目的,对其他性能参数进行优化设计,以并联式 LC 网络代替传统的电感进行匹配电路设计,并引入 LC 网络和电感串联的级间结构和电流复用技术,提出可同时工作在 915 MHz 和 2.45 GHz 的双频段低噪声放大器。

2 低噪声放大器理论与分析

2.1 噪声分析

从射频/微波电路的系统级来看,低噪声放大器作为射频系统的第一级,其噪声会对后级系统产生决定性的影响^[6]。通常,射频/微波器件的噪声系数 NF 定义如下:

$$NF = \frac{S_{in}/N_{in}}{S_{out}/N_{out}}.$$

它的物理含义可以理解为:一个功率为 S_{in} 、携带噪声功率为 N_{in} 的输入信号,经低噪声放大器的放大之后,输出一个信号功率为 S_{out} 的输出信号。在理想情况下,输出信号携带的噪声功率应为放大器的功率增益 G 与输入信号的标准噪声 N_{in} 的乘积。但实际上,由于放大器本身提供的噪声存在(定义为 ΔN),使实际输出的噪声功率变成了 N_{out} 。这两者的差额部分,就是实际低噪声放大器的噪声系数。故噪声系数定义又可写为

$$NF = \frac{S_{in}/N_{in}}{S_{out}/N_{out}} = 1 + \frac{\Delta N}{G \cdot N_{in}}.$$

从射频 MOS 器件的角度来看,因晶体管非准静态效应引入的栅噪声,以及沟道的热噪声是构成射频 MOS 器件噪声的两个主要原因。虽然 MOS 晶体管是一个表面器件,其 $1/f$ 噪声也会在 MOS 噪声中占一定比例,但不会带来重要影响,故我们只考虑栅噪声及沟道热噪声。它们分别为

$$\overline{i_{ng}^2} = 4kT\delta g_g \Delta f, \quad \overline{i_{nd}^2} = 4kT\gamma g_{do} \Delta f.$$

式中,栅极电导 $g_g = \frac{\omega^2 C_{gs}^2}{5g_{do}}$, g_{do} 是 $V_{ds}=0$ 时的共源输出电导。其他非主要噪声并不会带来很大的噪声影响,包括栅极电阻热噪声、栅极匹配电容的寄生电阻带来的噪声等。

基于 CMOS 工艺的双频低噪声放大器,其设计基于共源共栅结构,且共源共栅放大器的噪声主要由共源管决定,共栅管对噪声的影响很小,基本可以忽略不计,故在考虑共源管对噪声的影响同时,分别在两个频段进行计算、仿真及优化,在设计中,首先

选取频率较高的 2.45 GHz 进行计算和优化,之后再通过 ADS 软件对 915 MHz 频段进行合理优化调节进而得到优化的数值。这是由于设计中多采用并联 LC 构成的匹配网络,以中心频率为 915 MHz 时进行噪声匹配之后,在 2.45 GHz 时噪声匹配由于失配较大,导致噪声系数很不理想也很难优化。

根据功耗约束噪声优化的设计方法首先计算出栅宽的值:

$$W_{opt} = \frac{3}{2} \times \frac{1}{\omega L C_{ox} R_s Q_s}.$$

式中, C_{ox} 为单位氧化层电容, L 为有效沟道长度, R_s 为等效电源内阻,经计算,得出最佳栅宽的取值。值得注意的是,经计算的最优化栅宽在 20% 的范围内变化时,其噪声的影响是非常小的。对于最优化的栅宽 W_{opt} ,可以通过计算得出最优化的噪声系数 F_{min} :

$$F_{min} \approx 1 + 2.4 \frac{\gamma}{\alpha} \left[\frac{\omega_0}{\omega_T} \right].$$

式中, γ 和 α 为 CMOS 工艺参数,分别取 2 和 0.85, ω_T 为 MOS 管的截止频率。

2.2 放大器的稳定性

作为衡量放大电路抑制环境变化、维持正常放大特性的指标,稳定性是设计者必须首先考虑的问题。能够作为射频放大器稳定性判定的判据基本有三种^[6],除了熟知的 K 准则、稳定性圆之外,还有一种判定准则,称为单参数判断准则—— μ 参数准则。

$$\mu = \frac{1 - |S_{11}|^2}{|S_{22} - S_{11}^* \cdot D| + |S_{21} S_{12}|},$$

式中, $D = S_{11} S_{22} - S_{12} S_{21}$, S_{11}^* 为 S_{11} 的共轭,且当 $\mu > 1$ 时,放大器无条件稳定。

2.3 驻波系数及增益

由于电压反射系数是一个复数,且在设计中通常只对反射系数的模值感兴趣,于是引入了驻波系数的概念。驻波系数的实质,是指在传输线上的电压(或电流)的最大模值和最小模值之比。由于电压反射系数的模值 $|\Gamma| < 1$,所以对应的 VSWR 应该大于 1。应一般工程要求且考虑到实际器件中非线性噪声的存在,在设计中,取 $VSWR < 2.0$ 。

功率增益通常指在实际设计放大器电路时,信号源和负载的阻抗为 50Ω 的情况下,经实测得到的实际增益。在双频低噪声放大器的设计中,匹配网络是遵守最小噪声进行匹配的,其增益必然会有有一定影响。通常情况下,实际的功率增益会比最大功率小 2~3 dB。

3 双频段低噪声放大器的设计

3.1 预期指标

工作频段:中心频率为 915 MHz、2.45 GHz;

噪声系数: $NF \leq 1$ dB;

增益: $G \geq 20$ dB;

输入驻波比 ≤ 1.5 dB,输出驻波比 ≤ 1.8 dB.

3.2 电路设计方案

设计仿真的最终电路如图 1 所示. 双频低噪声放大器以共源共栅(Cascode)结构为基础,在以最大程度降低噪声系数为目标的前提下,主放大管 M_1 的栅极除电感 L_3 之外,接两个 LC 并联电路,目的在于提高电路稳定性且使输入阻抗的虚部为零. 源级的串联电感 L_6 形成源级去耦结构,在提高线性度的同时,并不会对噪声系有影响,同时, M_1 和 M_3 、 R_1 、 R_2 构成电流镜,为 M_1 提供稳定的偏置. 为降低整个电路的功耗,选择在 Cascode 管和主放大管之间引入电流复用技术,并取 M_3 的栅宽为 M_1 的 $1/10$ 以降低整个电路的功耗;电阻 R_3 的引入是为了改善低噪声放大器在双频工作时,在两个中心频率带宽略低的状况^[7].

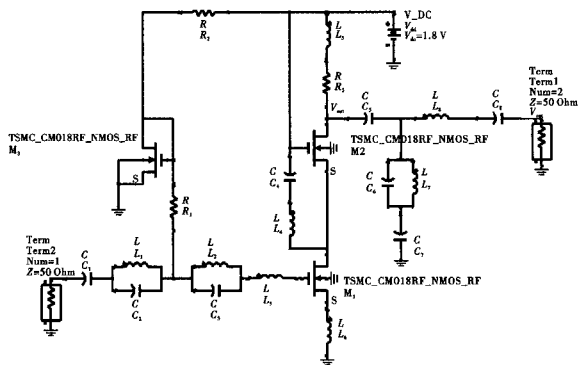


图 1 完整双频低噪声放大器原理图

输入匹配网络采取并联 LC 结构,用以改善高值电感带来较高的噪声,输出匹配网络采用可同时工作在双频率情况下的电路结构,其中 C_5 、 C_6 、 C_7 、 L_7 用来实现双频的阻抗变换, L_6 实现对输出阻抗虚部的匹配. 图中, C_1 和 C_8 作为射频通路中的隔直电容,取 10 pF.

为了降低 CMOS 射频低噪声放大器的功耗,在共源共栅结构的基础上,采用电流复用技术^[8]. 电流复用技术实质就是叠在一起的 MOS 管共用电流,使由双电源供电的电路结构变成只有单电源 V_{dd} 进行供电以减少功耗. 电流复用原理图如图 2 所示.

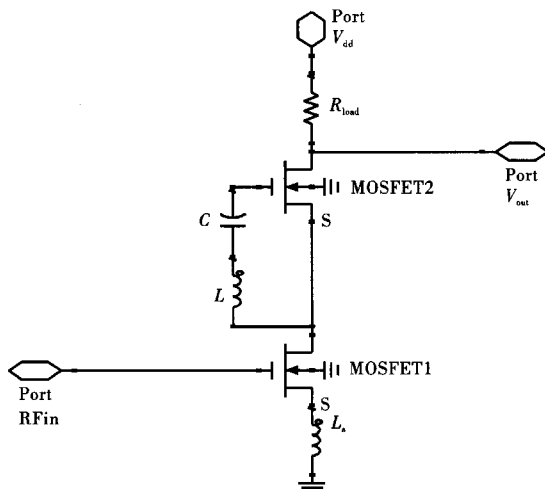


图 2 采用电流复用技术的共源共栅放大器

3.3 阻抗匹配

阻抗匹配网络的好坏,对放大器的设计来说至关重要. 在现有的设计方案中,基于 CMOS 工艺的低噪声放大器在噪声方面表现略有不足,单纯的引入射频开关会带来较高的噪声系数,并且会带来一定的插入损耗,使低噪声放大器的整体性能下降. 随着研究深入,多数设计逐渐采用双频点通路结构做为电路的匹配电路,其优点是提供可同时工作在不同频段双频点通路,不足之处在于优化困难,且多数设计在噪声表现方面仍略显不足(大于 2 dB 或 1.5 dB 附近)^[4-5,9].

传统的放大器匹配结构通常采用源级接电感作为负反馈,如图 3 所示.

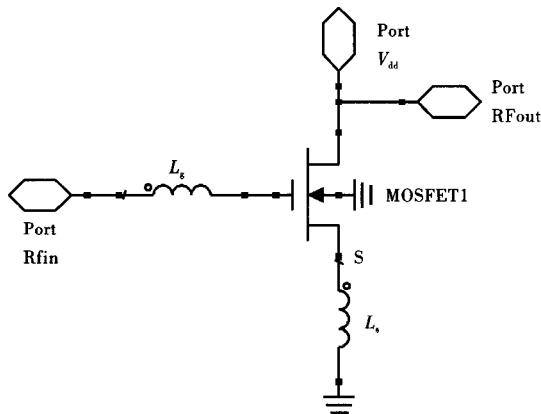


图 3 传统匹配电路

这种结构需要感值很高的电感,由于在集成电路的制作工艺中,高感值的电感在制作方面会有困难,并且在射频/微波电路设计中,高感值的电感寄生电阻较大,对应的噪声也较大,这也给设计带来一定的困难. 为此,设计采用小感值的 LC 并联电路代

替大感值的电感或使 LC 并联电路与小电感串联,以解决高感值电感的问题,而且对噪声影响也非常小.

传统匹配电路其输入阻抗为

$$Z_{in} = s(L_g + L_s) + \frac{1}{sC_{gs}} + \frac{g_m}{C_{gs}}L_s$$

而如图 1 所示,在输入端加入一个 LC 并联电路之后,输入阻抗为

$$Z_{in} = s(L_3 + L_6) + \frac{1}{sC_{gs}} + \frac{g_m}{C_{gs}}L_6 + \frac{1}{sC_3 + \frac{1}{sL_2} + \frac{1}{sC_2 + \frac{1}{sL_1}}}$$

通过前文中对放大器噪声的理论的分析以及上式对阻抗的初步计算,令输入阻抗虚部为零,实部为 50 Ω,计算得出相应的元件初步数值.

为实现低噪声放大器的噪声小于 1 dB 的目标,在射频软件 ADS 中对原有数值基础上进行多次匹配测试及噪声优化,分别对 915 MHz、2.45 GHz 及增益——噪声圆上选取合适的值分别进行匹配网络的设计.图 4 所示为根据 ADS 语法编写语言构建的双频段增益——噪声圆.通过仿真可以发现,计算求得的数值与实际仿真优化之后的数值略有偏差,这种偏差也是在接受范围内的.

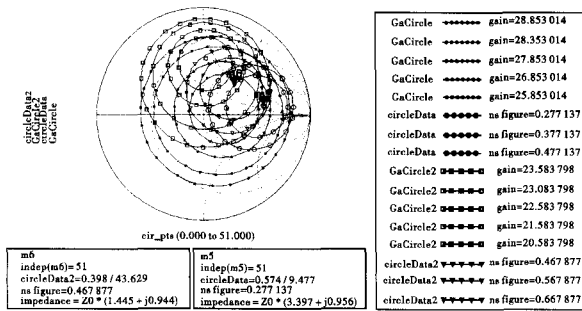


图 4 双频段低噪声放大器的增益——噪声圆

最终经计算、Smith 圆图工具设计、S 参数仿真及优化等步骤后,得到参数指标为: $C_5 = 1.3 \text{ pF}$, $C_6 = 0.15 \text{ pF}$, $C_7 = 0.84 \text{ pF}$, $L_7 = 0.035 \text{ nH}$, $L_8 = 5.5 \text{ nH}$.

4 仿真结果

基于 CMOS 工艺的 RFID 双频段低噪声放大器,采用 TSMC 0.18 μm CMOS 工艺模型,利用射频设计软件 ADS 完成电路的设计和优化.结果同其他同类设计相比,虽然个别性能稍显不足^[4-5,9],但噪声控制及增益方面非常优异.如图 5 所示,在得到最

小噪声系数的前提下,双频段低噪声放大器的增益达到 22 dB 以上.图 6 所示的系统最小噪声,在 915 MHz 时,达到 0.504 dB;2.45 GHz 时系统最小噪声也控制在 0.5 dB 以下.

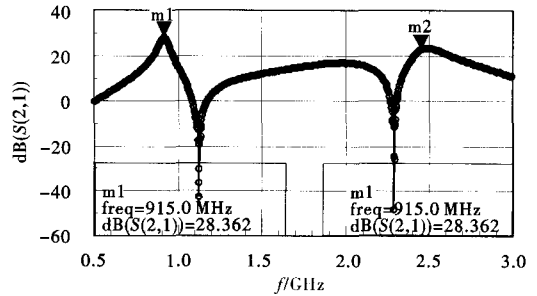


图 5 正向传输增益

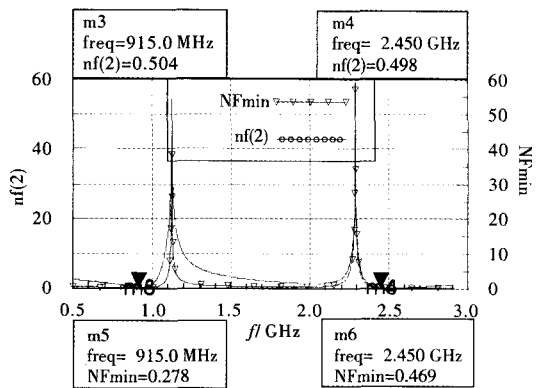


图 6 噪声系数

图 7、图 8、图 9 和图 10 分别为双频低噪声放大器的输入输出驻波比、输入输出反射系数、反向传输增益及 1 dB 压缩点的仿真测试结果.结果显示,输入驻波比 $VSWR1 \leq 1.4$, 输出驻波比 $VSWR2 \leq 1.8$, $S(1,1)$ 小于 -15 dB, $S(2,2)$ 小于 -11 dB, 反向传输增益 $S(1,2)$ 小于 -35 dB, 1 dB 压缩点约为 -16.5 dBm.

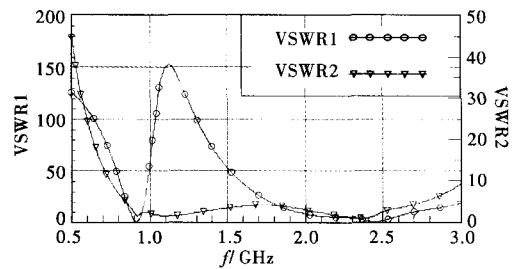


图 7 输入输出驻波比

5 结束语

文中采用 TSMC 0.18 μm CMOS 工艺模型,在射频仿真软件 ADS 中设计出可用于 RFID 系统的

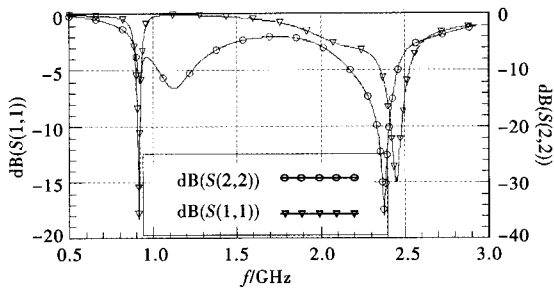


图 8 输入输出反射系数

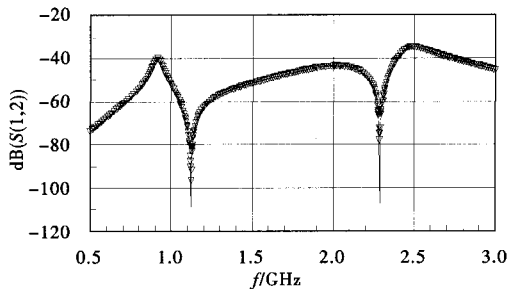


图 9 反向传输增益

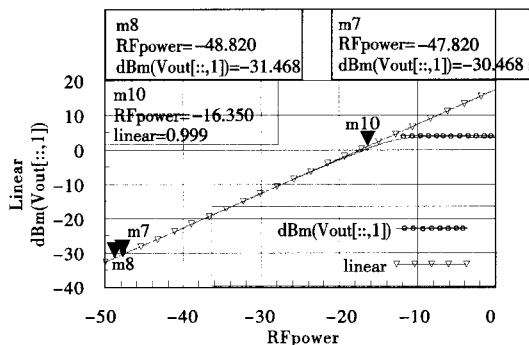


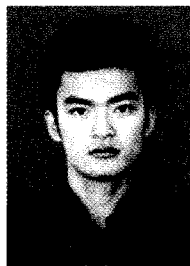
图 10 1dB 压缩点

双频段低噪声放大器芯片。通过分析提出低噪声的最优化设计方法,实现了对双频段低噪声的噪声控制,并在 Cascode 结构基础上,用并联 LC 结构和 LC 串联电感结构改进匹配电路,实现了将噪声控制在 1 dB 以下的目标,并且带来相对较高的增益和较低的功耗。

参考文献:

- [1] 丛密芳,南敬昌,李久超. RFID 低噪声放大器设计与仿真[J],计算机仿真,2010,28(4):393-396.
- [2] 毕查德·拉扎维. 模拟 CMOS 集成电路设计[M]. 陈贵灿,译. 西安:西安交通大学出版社,2003.
- [3] 池保勇,余志平,石秉学. CMOS 射频集成电路分析与设计[M]. 北京:清华大学出版社,2006.
- [4] 殷吉辉,杨华中. 一种双频段 CMOS 低噪声放大器[J],微电子学,2007,37(3):403-406.
- [5] 程知群,徐胜军,朱雪芳,等. 改进型双频段低噪声放大器设计[J]. 电子器件,2010,33(2):174-177.
- [6] 刘长军,黄卡玛,闫丽萍. 射频通信电路设计[M]. 北京:科学出版社,2007.
- [7] Aly Ismail, Asad A Abidi. A 3–10 GHz low noise amplifier with wideband LC-Ladder matching network[J]. IEEE Journal of Solid-State Circuits, 2004, 39(12):2269-2277.
- [8] 刘白梅. 2.4 GHz 低功耗无线接收机中低噪声放大器与混频器研究[D]. 湖南大学:湖南大学计算机与通信学院,2010.
- [9] 庄海孝,马成炎,叶甜春,等. 多模式卫星导航接收机中双频段 LNA 设计[J]. 微电子学与计算机,2011,28(1):69-73.

作者简介:



裴世锋 男,(1986—),硕士研究生. 研究方向为射频电路及射频集成电路设计.

南敬昌 男,(1971—),博士,教授. 研究方向为射频电路与系统、信号处理与信息编码、通信系统仿真等.

毛陆虹 男,(1955—),博士,教授. 研究方向为射频集成电路、新型半导体器件与集成技术、光电子器件与光电集成电路等.

(上接第 22 页)

- [7] Doug Edwards, Andrew Bardsley, Lilian Janin, et al. Balsa; a tutorial guide[EB/OL]. [2011-10-15]. ftp://ftp.cs.man.ac.uk/pub/amulet/balsa/3.5.
- [8] 陆浩,王振占. 基于 FPGA 的高速采样电路设计与测试[J]. 微电子学与计算机,2011,28(7):106-109.

作者简介:

谷佳华 男,(1987—),硕士研究生. 研究方向为异步电路设计及 VLSI 设计.

周端 女,(1957—),博士,教授,硕士生导师. 研究方向为数字电路设计和电路低功耗设计.

杨延飞 女,(1984—),博士研究生. 研究方向为 NoC 设计、异步电路设计及 VLSI 设计.